

WZeta2 命令セット SDog コア設計資料(α版 2023/05/06)

<https://wzeta.idletime.tokyo/>

平山 直紀(Naoki Hirayama)

1 概要

WZeta2 の命令セットはデータバス 8bit で効率的に動作する非常にトランジスタ数の少ない CPU を実装する目的に適した命令セット。16bit に適したアプリを効率良く動作させ 32bit 向けに書かれたアプリも動作させられます。16bit レジスタ 3 個とアドレス専用 24bit レジスタ 1 個の CPU です。WZeta2 の命令コードは 16bit 固定長ですが 8bit 単位に送信できる命令セットです。通常とは逆順のオペランドから送信することでパイプライン化をすることなく高速に動作します。命令数は少ないですが平易でわかりやすい命令セットです。剰余演算を高速かつ省メモリに実行できることを考慮しています。メモリ効率はあまりよくありませんが ハードマクロ命令(利用者定義命令)で補います。スタックポインタのハードウェアが全く存在しないノイマン型アーキテクチャ(プログラムメモリとデータメモリを共有)とすることで部品を少なくして製造コストが下がることが期待されています。またプログラムとデータメモリを分離すればプログラムメモリのバス幅を 8bit のままデュアルコアを構成できます。

2 基本仕様

- ・ 命令コード 1 ワード 16bit、1~2 ワード可変長
- ・ 1 ワード 4 サイクルで実行
 - 命令コードのワード数によって命令の実行サイクルが異なる。
 - ただし分岐を含めた全命令が 1 ワード 4 サイクルであるためマイコンでは使いやすい
- ・ ノイマン型アーキテクチャ
- ・ 16bit 汎用レジスタ 3 本、24bit アドレスレジスタ 1 本
- ・ メモリ 最大 16MB(効率的なメモリアクセスが可能なのは 8MB)
 - 1 つのメモリをプログラム領域とデータ領域に分けて利用するモードと混在する 2 つのモードがある
 - プログラム領域とデータ領域の分割位置を変更可能。変更方法は実装依存。
 - HALF モデルは搭載メモリの前半がプログラム、後半がデータ。
 - 後ろから 4 分の一、8 分の一、16 分の一などの設定可。
 - 偶数サイクルのアクセスがプログラムメモリへのアクセス、奇数サイクルのアクセスがデータメモリへのアクセスなのでプログラムとデータで物理的に異なるメモリも可能
- ・ 8bit の I/O ポートと 16bit のバス
- ・ 外部割込 2 本(優先度付き)
- ・ 2 の補数

3 レジスタ、フラグ、ステータス

3-1 レジスタ

#	名前	bit 幅	用途
1	A	16	汎用レジスタ、演算
2	B	16	汎用レジスタ、アドレス
3	C	16	汎用レジスタ、ループ制御
4	X	24	主にアドレス
5	PC	9-25	プログラムカウンタ
6	MC	9-17	ミリコードカウンタ(ハードマクロ命令実行中に使用される PC)
7	IC	9-17	割込みカウンタ(割込み実行中に使用される PC)

3-2 フラグ

bit	名前	用途
0	ZF	ゼロフラグ
1	MF	マクロフラグ(ハードマクロ命令実行中を示す)
2	UF	ユーザーモード フラグ(1 の場合、ユーザーモードを示す)
3	OF0	オフセットの 0bit 目([n] で示す 7bit のアドレスに OF を追加)
4	OF1	オフセットの 1bit 目(//)
5		(未使用)
6		(未使用)
7	CF	キャリーフラグ

3-3 ステータス

bit	名前	用途
0	AE	ユーザーモードフラグ(UF)が 1 のとき保護された低位のアドレスにアクセス
1	TM	タイマー割込み(実装依存) 試作未実装
2		(未使用)
3		(未使用)
4		(未使用)
5		(未使用)
6		(未使用)
7	EF	割込み許可状態 0: 割込み禁止 1: 割込み許可

4 命令コードフォーマット

16bit 固定長の命令コード。

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
opmsb	macro	OP コード					

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
オペランド g(8bit)							

opmsb ビット : モードによって役割が異なる。「デバッグ」、「パリティ」、「高速」が存在する

macro ビット : ハードマクロ命令の開始と終了

オペランド g は値によってアドレッシングモードを変更する。オペランドを先に転送してもオペコードを待つことなく投機的にメモリをリードすることが可能。(投機的にすることを強制するわけではない)

	アドレス
$g \leq 125$	g
(g=126)	X
(g=127)	A:B
$g \geq 128$	(g-80h):B

OF ビットが設定される場合、 $g \leq 125$ を指定すると $OF \times 128 + g$ になる。ただし割込み実行中は OF は影響しません。常に $OF=2'b00$ と同じです。

ユーザモード・フラグ(UF=1)の場合は、アクセス制限を有効化する。制限内容は各実装で決められる。

SDog では、あらかじめ決められたアドレスより低位へのアクセスは制限される。具体的には各命令で[X]、[m:B]、[A:B]形式による読み書きが制限されます。

例えばシステムで 2KB が設定されると OF ビットが 3 であっても 512B までしかアクセスできないため、512B ~2KB に暗号鍵を置けばユーザモードによる通信では、バグで鍵が読み取られるリスクが低減されます。

もし制限されたアドレスにアクセスした場合-AE ビットが 1 になり、割込み 1 番が発生します。

CLEAR 命令が発行されるまで AE は 1 を保持します。

SDog には UF を省略する verilog の parameter USER_MODE がある。UF に関する AE bit や INTR1 割込みが省略されます。

5 ニモニック

n : 8bit の数字(相対分岐では符号付)、m : 7bit の数字、k : 4bit の数字、g:命令コードのオペランド 8bit

ニモニック	動作内容		OP		メ	フ
	「割込不可命令」は割込可能状態でも一時的に、その命令の実行中だけ割込みが遅延される				モ	ラ
					リ	グ
NOP	オペランドが 0x00 の場合は NOP		0	00	x	
MULX	00	(オプション) $A \times C + [1][0] \rightarrow [1][0]A$	0	01	rw.rw	
GETPC	21	$AB = PC/2$			x	
GETMC	22	$AB = MC/2$			x	
SETPC	24	$AB \ll 1$ の値を PC にセットする。			x	
ADD AB,XC	25	$AB = AB + XC/2$ (XC:プログラムカウンタ PC/MC/IC)			x	
NIBBLE	26	$A = C$ (下位 4bit)、 $B = C$ (上位 4bit)			x	
SETMC	28	$AB \ll 1$ の値を MC にセットする。			x	
ADD AB,C	29	$AB = AB + C$ (フラグは不変)			x	
WSHL	2A	$AB = AB \ll 1$			x	
CLC	2B	キャリフラグのクリア $CF = 0$			x	
USERMODE k	3k	ユーザーモードを k にする。k=0、1 のみ			x	
OFFSET k	4k	オフセットを k にする。k=0、1、2、3 のみ			x	
CPUINFORST	50	CPUINFO シリアルデータのアドレスを 0 にする			x	
CPUINFOINC	51	CPUINFO アドレスを +16 する			x	
CPUINFOGET	52	$A = A \ll 1$: (シリアルデータ)			x	
CLEAR k	6k	k で示される割込み要因のクリア(k=1 は AE)			x	
MUL	80	(オプション) $A \times C \rightarrow CA$			x	
LD A,B	81	$A = B$			x	
LD B,A	82	$B = A$			x	
SWAP A,B	83	$A = B, B = A$ (LD A,B B,A)			x	
LD C,A	84	$C = A$			x	
LD A,B C,A	85	$A = B, C = A$			x	
LD B,A C,A	86	$B = A, C = A$			x	
LD A,B B,A C,A	87	$A = B, B = A, C = A$			x	
LD A,C	89	$A = C$			x	
LD B,C	8A	$B = C$			x	
LD A,C B,C	8B	$A = C, B = C$			x	
LD C,B	8C	$C = B$			x	
LD A,C C,B	8D	$A = C, C = B$			x	
SWAP B,C	8E	$B = C, C = B$ (LD B,C C,B)			x	
LD A,C B,C C,B	8F	$A = C, B = C, C = B$			x	
INC B	90	$B = B + 1$			x	

INC X	91	X=X+1			x	
INC B,X	92	B=B+1,X=X+1			x	
INC B,X-	93	B=B+1,X=X-1			x	
DINC B	94	B=B+2			x	
DINC X	95	X=X+2			x	
DINC B,X	96	B=B+2,X=X+2			x	
DINC B,X-	97	B=B+2,X=X-2			x	
DEC B	98	B=B-1			x	
DEC X	99	X=X-1			x	
DEC B,X	9A	B=B-1,X=X-1			x	
DEC B,X+	9B	B=B-1,X=X+1			x	
DDEC B	9C	B=B-2			x	
DDEC X	9D	X=X-2			x	
DDEC B	9E	B=B-2,X=X-2			x	
DDEC B,X+	9F	B=B-2,X=X+2			x	
BYTESWAP r	Ax	r={A,B,C,X} 複数指定可、上位・下位バイト入替			x	
LD X,AB	B0	X=AB(下位 24bit)			x	
LD X,AC	B1	X=AC(下位 24bit)			x	
INT k	Dk	ソフトウェア割込 0≤k≤15			x	
DISABLE	E0	割込み禁止			x	
ENABLE	E1	割込み可能			x	
GETSTAT	E2	A={EF,0,0,0,0,0,0,AE} 主に割込み要因の取得			x	
OPMSB	EF	次の命令の OPMSB を 1 にする。割込不可命令。			x	
INPUTA	F1	ポート ID C から A=IN			x	
OUTPUTB	F2	ポート ID C に B を出力			x	
INOUT	F3	ポート ID C に B を出力 A=IN			x	
(SIM)	Fk	シミュレータ専用命令(0≤k≤7)			-	
		未使用		02		
		未使用		03		
NUM n		オペランドの 8bit 即値を次の命令に送る。割込不可命令。 NUM 命令を 2 命令続けると 16bit 即値を次の命令に。		04	x	
AND A, n		A=A & n (8bit 即値)	0	05	x	Z
N:AND A,nn		A=A & nn (16bit 即値)			x	Z
XOR A, n		A=A ^ n (8bit 即値)	0	06	x	Z
N:XOR A,nn		A=A ^ nn (16bit 即値)			x	Z
OR A, n		A=A n (8bit 即値)	0	07	x	Z
N:OR A,nn		A=A nn (16bit 即値)			x	Z
LD A, n		A=n (n≤FFh) 即値代入	0	08	x	
N:LD A,nn		A=nn (nn≤FFFFh)			x	

LD B, n N:LD B, nn	B=n (n ≤ 255) 即値代入 B=nn (nn ≤ 65535) 即値代入	0	09	x x	
LD C, n N:LD C, nn	C=n (n ≤ 255) 即値代入 C=nn (nn ≤ 65536) 即値代入	0	0A	x x	
LD X,n N:LD X, nn LD.T X.nnn	X=n X=nn X=nnn 割込不可命令	0 1	0B	x x x.zz	
	未使用		0C		
	未使用		0D		
ADD A,n N:ADD A,nn	A=A+n (8bit 即値) A=A+nn (16bit 即値)	0	0E	x x	C Z C Z
ADDC A,n N:ADDC A,nn	A=A+n+CF (8bit 即値) A=A+nn+CF(16bit 即値)	0	0F	x x	C Z C Z
LD A,[m] LD A,[X] LD A,[A:B] LD A,[m:B] LD.W A,[m] LD.W A,[X] LD.W A,[A:B] LD.W A,[m:B]	A=[m] (m ≤ 125) A=[X] (g=126) A=[A:B] (g=127) A= [m:B] (m ≤ 127, 128 ≤ g ≤ 255) A=[m] _w (m ≤ 124 の偶数) A=[X] _w (g=126) X は偶数 A=[AB] _w (g=127) AB は偶数 A= [m:B] _w (g ≥ 128) m:B は偶数	0 1	10	r r r r rr rr rr rr	
LD B,[m] LD B,[X] LD B,[A:B] LD B,[m:B] LD.W B,[m] LD.W B,[X] LD.W B,[A:B] LD.W B,[m:B]	B=[m] (m ≤ 125) B=[X] (g=126) B=[A:B] (g=127) B= [m:B] (m ≤ 127, 128 ≤ g ≤ 255) B=[m] _w (m ≤ 124 の偶数) B=[X] _w (g=126) X は偶数 B=[AB] _w (g=127) AB は偶数 B= [m:B] _w (g ≥ 128) m:B は偶数	0 1	11	r r r r rr rr rr rr	
LD C,[m] LD C,[X] LD C,[A:B] LD C,[m:B] LD.W C,[m] LD.W C,[X] LD.W C,[A:B] LD.W C,[m:B]	C=[m] (m ≤ 125) C=[X] (g=126) C=[A:B] (g=127) C= [m:B] (m ≤ 127, 128 ≤ g ≤ 255) C=[m] _w (m ≤ 124 の偶数) C=[X] _w (g=126) X は偶数 C=[A:B] _w (g=127) AB は偶数 C= [m:B] _w (g ≥ 128) m:B は偶数	0 1	12	r r r r rr rr rr rr	
LD X,[m] LD X,[X]	X=[m] (m ≤ 124) X=[X] (g=126)	0	13	r r	

LD X,[A:B]	$X=[A:B]$ ($g=127$)			r	
LD X,[m:B]	$X=[m:B]$ ($g \geq 128$)			r	
W:LD X,[m]	$X=[m]_T$ ($m \leq 124$ の 4 倍数)			rr	
W:LD X,[X]	$X=[X]_T$ ($g=126$)、 X は 4 の倍数			rr	
W:LD X,[A:B]	$X=[A:B]_T$ ($g=127$) $A:B$ は 4 の倍数			rr	
W:LD X,[m:B]	$X=[m:B]_T$ ($g \geq 128$) $m:B$ は 4 の倍数			rr	
LD.W X,[m]	$X=[m]_W$ ($m \leq 124$ の偶数) 実装見送り	1		rr	
LD.W X,[X]	$X=[X]_W$ ($g=126$) X は偶数			rr	
LD.W X,[A:B]	$X=[A:B]_W$ ($g=127$) $A:B$ は偶数			rr	
LD.W X,[m:B]	$X=[m:B]_W$ ($g \geq 128$) $m:B$ は偶数			rr	
WORD [m]	次命令のオペランドを設定。割込不可命令。	0	14	rr.r	
WORD [X]	次の命令のオペランドも同一のものが指定される前提			rr.r	
WORD [A:B]	次の命令アドレスの bit 1 を 1 にする			rr.r	
WORD [m:B]				rr.r	
WORDX [m]	次命令のオペランドを設定。割込不可命令。	1		rr	
WORDX [X]	次の命令アドレスは変更されない			rr	
WORDX [A:B]	上位バイトと下位バイトを別のアドレスから読み出すのに			rr	
WORDX [m:B]	利用する			rr	
AND A,[m]	$A=A \& [m]$ ($m \leq 125$ 、 $g \leq 125$)	0	15	r	Z
AND A,[X]	$A=A \& [X]$ ($m=126$ 、 $g=126$)			r	Z
AND A,C	$A=A \& C$ ($g=127$)			x	Z
AND A,[m:B]	$A=A \& [m:B]$ ($m \leq 127$ 、 $128 \leq g \leq 255$)			r	Z
W:AND A,[m]	$A=A \& [m]_W$ ($m \leq 125$ 、 $g \leq 125$)			rr	Z
W:AND A,[X]	$A=A \& [X]_W$ ($m=126$ 、 $g=126$)			rr	Z
W:AND A,[m:B]	$A=A \& [m:B]_W$ ($m \leq 127$ 、 $128 \leq g \leq 255$)			rr	Z
XOR A,[m]	$A=A \wedge [m]$ ($m \leq 125$ 、 $g \leq 125$)	0	16	r	Z
XOR A,[X]	$A=A \wedge [X]$ ($m=126$ 、 $g=126$)			r	Z
XOR A,C	$A=A \wedge C$ ($g=127$)			x	Z
XOR A,[m:B]	$A=A \wedge [m:B]$ ($m \leq 127$ 、 $128 \leq g \leq 255$)			r	Z
W:XOR A,[m]	$A=A \wedge [m]_W$ ($m \leq 125$ 、 $g \leq 125$)			rr	Z
W:XOR A,[X]	$A=A \wedge [X]_W$ ($m=126$ 、 $g=126$)			rr	Z
W:XOR A,[m:B]	$A=A \wedge [m:B]_W$ ($m \leq 127$ 、 $128 \leq g \leq 255$)			rr	Z
OR A,[m]	$A=A [m]$ ($m \leq 125$ 、 $g \leq 125$)	0	17	r	Z
OR A,[X]	$A=A [X]$ ($m=126$ 、 $g=126$)			r	Z
OR A,C	$A=A C$ ($g=127$)			x	Z
OR A,[m:B]	$A=A [m:B]$ ($m \leq 127$ 、 $128 \leq g \leq 255$)			r	Z
W:OR A,[m]	$A=A [m]_W$ ($m \leq 125$ 、 $g \leq 125$)			rr	Z
W:OR A,[X]	$A=A [X]_W$ ($m=126$ 、 $g=126$)			rr	Z
W:OR A,[m:B]	$A=A [m:B]_W$ ($m \leq 127$ 、 $128 \leq g \leq 255$)			rr	Z

SETFLAG [m]	{flag register}=[m] (m ≤ 125、g ≤ 125)	0	18	r	all
SETFLAG [X]	{flag register}=[X](g=126)			r	all
SETFLAG [A:B]	{flag register}=[A:B](g=127)			r	all
SETFLAG [m:B]	{flag register}=[m:B] (m ≤ 127、128 ≤ g ≤ 255)			r	all
RETI [m]	SETFLAG [m]を実行して割込みから復帰(m ≤ 125、g ≤ 125)	0	19	r	all
ADD A,[m]	A=[m]+A (m ≤ 125、g ≤ 125)	0	1A	r	C Z
ADD A,[X]	A=[X]+A (g=126)			r	C Z
ADD A,C	A=A+C (g=127)			r	C Z
ADD A,[m:B]	A=[m:B]+A (m ≤ 127、128 ≤ g ≤ 255)			r	C Z
W:ADD A,[m]	A=[m] _W +A (m ≤ 125、g ≤ 125)			rr	C Z
W:ADD A,[X]	A=[X] _W +A (g=126)			rr	C Z
W:ADD A,[m:B]	A=[m:B] _W +A (m ≤ 127、128 ≤ g ≤ 255)			rr	C Z
ADDC A,[m]	A=[m]+A+CF (m ≤ 125、g ≤ 125)	0	1B	r	C Z
ADDC A,[X]	A=[X]+A+CF (g=126)			r	C Z
ADDC A,C	A=A+C+CF (g=127)			r	C Z
ADDC A,[m:B]	A=[m:B]+A+CF (m ≤ 127、128 ≤ g ≤ 255)			r	C Z
W:ADDC A,[m]	A=[m] _W +A+CF (m ≤ 125、g ≤ 125)			rr	C Z
W:ADDC A,[X]	A=[X] _W +A+CF (g=126)			rr	C Z
W:ADDC A,[m:B]	A=[m:B] _W +A+CF (m ≤ 127、128 ≤ g ≤ 255)			rr	C Z
OUT [m]	ポート ID C に[m]を出力(m ≤ 125、g ≤ 125)	0	1C	r	C Z
OUT [X]	ポート ID C に[X]を出力(g=126)			r	C Z
OUT [A:B]	ポート ID C に[A:B]を出力(g=127)			r	C Z
OUT [m:B]	ポート ID C に[m:B]を出力 (m ≤ 127、128 ≤ g ≤ 255)			r	C Z
	未使用		1D		
SUB A,[m]	A=A-[m] (m ≤ 125、g ≤ 125)	0	1E	r	C Z
SUB A,[X]	A=A-[X] (g=126)			r	C Z
SUB A,C	A=A-C (g=127)			r	C Z
SUB A,[m:B]	A=A-[m:B] (m ≤ 127、128 ≤ g ≤ 255)			r	C Z
W:SUB A,[m]	A=A-[m] _W (m ≤ 125、g ≤ 125)			rr	C Z
W:SUB A,[X]	A=A-[X] _W (g=126)			rr	C Z
W:SUB A,[m:B]	A=A-[m:B] _W (m ≤ 127、128 ≤ g ≤ 255)			rr	C Z
SUBC A,[m]	A=A-[m]-CF (m ≤ 125、g ≤ 125)	0	1F	r	C Z
SUBC A,[X]	A=A-[X]-CF (g=126)			r	C Z
SUBC A,C	A=A-C-CF (g=127)			r	C Z
SUBC A,[m:B]	A=A-[m:B] _W -CF (m ≤ 127、128 ≤ g ≤ 255)			r	C Z
W:SUBC A,[m]	A=A-[m] _W -CF (m ≤ 125、g ≤ 125)			rr	C Z
W:SUBC A,[X]	A=A-[X] _W -CF (g=126)			rr	C Z
W:SUBC A,[m:B]	A=A-[m:B] _W -CF (m ≤ 127、128 ≤ g ≤ 255)			rr	C Z

JR n	PC+n×2 へ分岐(-127≦n≦127)	0	20	x	
JR B	PC+B×2 へ分岐(n=-128、符号なしの値は0x80)			x	
BR n	PC+n×2 へ分岐(-127≦n≦127) AB=PC/2	1		x	
BR B	PC+B×2 へ分岐(n=-128) AB=PC/2			x	
JRC0 n	CF=0 なら PC+n×2 へ分岐(-127≦n≦127)	0	21	x	
JRC0 B	CF=0 なら PC+B×2 へ分岐(n=-128)			x	
BRC0 n	CF=0 なら PC+n×2 へ分岐(-127≦n≦127) AB=PC/2	1		x	
BRC0 B	CF=0 なら PC+B×2 へ分岐(n=-128) AB=PC/2			x	
JRC1 n	CF=1 なら PC+n×2 へ分岐(-127≦n≦127)	0	22	x	
JRC1 B	CF=1 なら PC+B×2 へ分岐(n=-128)			x	
BRC1 n	CF=1 なら PC+n×2 へ分岐(-127≦n≦127) AB=PC/2	1		x	
BRC1 B	CF=1 なら PC+B×2 へ分岐(n=-128) AB=PC/2			x	
JRZ0 n	ZF=0 なら PC+n×2 へ分岐(-127≦n≦127)	0	23	x	
JRZ0 B	ZF=0 なら PC+B×2 へ分岐(n=-128)			x	
BRZ0 n	ZF=0 なら PC+n×2 へ分岐(-127≦n≦127) AB=PC/2	1		x	
BRZ0 B	ZF=0 なら PC+B×2 へ分岐(n=-128) AB=PC/2			x	
JRZ1 n	ZF=1 なら PC+n×2 へ分岐(-127≦n≦127)	0	24	x	
JRZ1 B	ZF=1 なら PC+B×2 へ分岐(n=-128)			x	
BRZ1 n	ZF=1 なら PC+n×2 へ分岐(-127≦n≦127) AB=PC/2	1		x	
BRZ1 B	ZF=1 なら PC+B×2 へ分岐(n=-128) AB=PC/2			x	
JMP m	m×2 番地へ分岐 (m≦121、g≦121)	0	25	x	
JMPC0 A:B	CF=0 なら A:B×2 番地へ分岐(g=122)			x	
JMPC1 A:B	CF=1 なら A:B×2 番地へ分岐(g=123)			x	
JMPZ0 A:B	ZF=0 なら A:B×2 番地へ分岐(g=124)			x	
JMPZ1 A:B	ZF=1 なら A:B×2 番地へ分岐(g=125)			x	
JMP A:B	A:B×2 番地へ分岐(g=127)			x	
JMP m:B	m:B×2 番地へ分岐(m≦127、128≦g≦255)			x	
BAL m	m×2 番地へ分岐 AB=PC/2 (m≦121、g≦121)	1		x	
BALC0 A:B	CF=0 なら A:B×2 番地へ分岐 AB=PC/2 (g=122)			x	
BALC1 A:B	CF=1 なら A:B×2 番地へ分岐 AB=PC/2 (g=123)			x	
BALZ0 A:B	ZF=0 なら A:B×2 番地へ分岐 AB=PC/2 (g=124)			x	
BALZ1 A:B	ZF=1 なら A:B×2 番地へ分岐 AB=PC/2 (g=125)			x	
BAL A:B	A:B×2 番地へ分岐(g=127) AB=PC/2			x	
BAL m:B	m:B×2 番地へ分岐 AB=PC/2 (m≦127、128≦g≦255) PC: 次の命令のアドレス、サブルーチンからの戻り値			x	
LOOPINC n	C≠0 なら JR n, C=C-1, X=X+1 (-127≦n≦127)	0	26	x	
	C≠0 なら JR n, C=C-1, X=X+2 (-127≦n≦127)	1		x	
LOOPDEC n	C≠0 なら JR n, C=C-1, X=X-1 (-127≦n≦127)	0	27	x	
	C≠0 なら JR n, C=C-1, X=X-2 (-127≦n≦127)	1		x	

ST [m],A	[m]=A (m≠0,m≦125)	0	28	w	
ST [X],A	[X]=A (g=126)			w	
ST [m:B],A	[m:B]=A (m≦127、128≦g≦255)			w	
ST.W [m],A	[m] _w =A (m≠0,m≦124の偶数アドレス)	1		w.w	
ST.W [X],A	[X] _w =A (g=126)、Xは偶数アドレス			w.w	
ST.W [m:B],A	[m:B] _w =A (m≦127、128≦g≦255)			w.w	
ST [m],B	[m]=B (m≦125、g≦125)	0	29	w	
ST [X],B	[X]=B (m=126、g=126)			w	
ZERO [m]	[m]=0 (m≦125、128≦g≦253)			w	
ZERO [X]	[X]=0 (m=126、g=254)			w	
ST.W [m],B	[m] _w =B (m≦125、g≦125)	1		w.w	
ST.W [X],B	[X] _w =B (m=126、g=126)			w.w	
ZERO.W [m]	[m] _w =0 (m≦125、128≦g≦253)			w.w	
ZERO.W [X]	[X] _w =0 (m=126、g=254)			w.w	
ST [m],C	[m]=C (m≦125、g≦125)	0	2A	w	
ST [X],C	[X]=C (g=126)			w	
ST [A:B],C	[A:B]=C (g=127)			w	
ST [m:B],C	[m:B]=C (m≦127、128≦g≦255)			w	
ST.W [m],C	[m] _w =C (m≦125、g≦125)	1		w.w	
ST.W [X],C	[X] _w =C (g=126)			w.w	
ST.W [A:B],C	[A:B] _w =C (g=127)			w.w	
ST.W [m:B],C	[m:B] _w =C (m≦127、128≦g≦255)			w.w	
GETFLAG [m]	[m] = {CF, 0, 0, OF[1:0], LF, MF, ZF} (m≦125、g≦125)	0	2B	w	
GETFLAG [X]	[X] = {CF, 0, 0, OF[1:0], LF, MF, ZF} (g=126)			w	
GETFLAG [A:B]	[A:B] = {CF, 0, 0, OF[1:0], LF, MF, ZF} (g=127)			w	
GETFLAG [m:B]	[m:B] = {CF, 0, 0, OF, LF, MF, ZF} (m≦127、128≦g≦255)			w	
	(使用不可、動作不定)	1		w.w	
IN [m]	ポート ID C から [m] = IN (m≦125、g≦125)	0	2C	w	
IN [X]	ポート ID C から [X] = IN (m=126、g=126)			w	
IN [A:B]	ポート ID C から [A:B] = IN (m=127、(g=127))			w	
IN [m:B]	ポート ID C から [m:B] = IN (m≦127、128≦g≦255)			w	
IN.W [m]	ポート ID C から [m] _w = IN (m≦125、g≦125)	1		w.w	
IN.W [X]	ポート ID C から [X] _w = IN (m=126、g=126)			w.w	
IN.W [A:B]	ポート ID C から [A:B] _w = IN (m=127、(g=127))			w.w	
IN.W [m:B]	ポート ID C から [m:B] _w = IN (m≦127、128≦g≦255)			w.w	
ST [m],X	[m]=X ₀ (m≦125、g≦125)	0	2D	w	
ST [A:B],X	[A:B]=X ₀ (g=127)			w	
ST [m:B],X	[m:B] = X ₀ (m≦127、128≦g≦255)			w	

ST.T [m],X	$[m]_T = X$ ($m \leq 125$, $g \leq 125$)	1		w.ww	
ST.T [A:B],X	$[A:B]_T = X$ ($g=127$)			w.ww	
ST.T [m:B],X	$[m:B]_T = X$ ($m \leq 127$, $128 \leq g \leq 255$)			w.ww	
DINC [m]	$[m] = [m] + 2$ ($m \leq 125$, $g \leq 125$)	0	2E	rw	C Z
DINC [X]	$[X] = [X] + 2$ ($g=126$)			rw	C Z
DINC [A:B]	$[A:B] = [A:B] + 2$ ($g=127$)			rw	C Z
DINC [m:B]	$[m:B] = [m:B] + 2$ ($m \leq 127$, $128 \leq g \leq 255$)			rw	C Z
DINC.W [m]	$[m]_W = [m]_W + 2$ ($m \leq 125$, $g \leq 125$)	1		rw.rw	C Z
DINC.W [X]	$[X]_W = [X]_W + 2$ ($g=126$)			rw.rw	C Z
DINC.W [A:B]	$[A:B]_W = [A:B]_W + 2$ ($g=127$)			rw.rw	C Z
DINC.W [m:B]	$[m:B]_W = [m:B]_W + 2$ ($m \leq 127$, $128 \leq g \leq 255$)			rw.rw	C Z
DDEC [m]	$[m] = [m] - 2$ ($0 \leq m \leq 124$, $0 \leq g \leq 124$)	0	2F	rw	C Z
DDEC [X]	$[X] = [X] - 2$ ($g=126$)			rw	C Z
DDEC [A:B]	$[A:B] = [A:B] - 2$ ($g=127$)			rw	C Z
DDEC [m:B]	$[m:B] = [m:B] - 2$ ($m \leq 127$, $128 \leq g \leq 255$)			rw	C Z
DDEC.W [m]	$[m]_W = [m]_W - 2$ ($0 \leq m \leq 123$, $0 \leq g \leq 123$)	1		rw.rw	C Z
DDEC.W [X]	$[X]_W = [X]_W - 2$ ($g=126$)			rw.rw	C Z
DDEC.W [A:B]	$[A:B]_W = [A:B]_W - 2$ ($g=127$)			rw.rw	C Z
DDEC.W [m:B]	$[m:B]_W = [m:B]_W - 2$ ($m \leq 127$, $128 \leq g \leq 255$)			rw.rw	C Z
SHL [m]	$[m] = \{[m] \ll 1, 0\}$ CF= $[m] \gg 7$ ($m \leq 125$, $g \leq 125$)	0	30	rw	C
SHL [X]	$[X] = \{[X] \ll 1, 0\}$ CF= $[X] \gg 7$ ($m=126$, $g=126$)			rw	C
SHL [A:B]	$[A:B] = \{[A:B] \ll 1, 0\}$ CF= $[A:B] \gg 7$ ($m=127$, $g=127$)			rw	C
SHL [m:B]	$[m:B] = \{[m:B] \ll 1, 0\}$ CF= $[m:B] \gg 7$ ($m \leq 127$, $128 \leq g \leq 255$)			rw	C
SHL [m] _W	$[m]_W = \{[m]_W \ll 1, 0\}$ CF= $[m]_W \gg 15$ ($m \leq 125$, $g \leq 125$)	1		rw.rw	C
SHL [X] _W	$[X]_W = \{[X]_W \ll 1, 0\}$ CF= $[X]_W \gg 15$ ($m=126$, $g=126$)			rw.rw	C
SHL [A:B] _W	$[A:B]_W = \{[A:B]_W \ll 1, 0\}$ CF= $[A:B]_W \gg 15$ ($m=127$, $g=127$)			rw.rw	C
SHL [m:B] _W	$[m:B]_W = \{[m:B]_W \ll 1, 0\}$ CF= $[m:B]_W \gg 15$ ($m \leq 127$, $128 \leq g \leq 255$)			rw.rw	C
SHLC [m]	$[m] = \{[m] \ll 1, CF\}$ CF= $[m] \gg 7$ ($m \leq 125$, $g \leq 125$)	0	31	rw	C
SHLC [X]	$[X] = \{[X] \ll 1, CF\}$ CF= $[X] \gg 7$ ($m=126$, $g=126$)			rw	C
SHLC [A:B]	$[A:B] = \{[A:B] \ll 1, CF\}$ CF= $[A:B] \gg 7$ ($m=127$, $g=127$)			rw	C
SHLC [m:B]	$[m:B] = \{[m:B] \ll 1, CF\}$ CF= $[m:B] \gg 7$ ($m \leq 127$, $128 \leq g \leq 255$)			rw	C
SHLC [m] _W	$[m]_W = \{[m]_W \ll 1, CF\}$ CF= $[m]_W \gg 15$ ($m \leq 125$, $g \leq 125$)	1		rw.rw	C
SHLC [X] _W	$[X]_W = \{[X]_W \ll 1, CF\}$ CF= $[X]_W \gg 15$ ($m=126$, $g=126$)			rw.rw	C
SHLC [A:B] _W	$[A:B]_W = \{[A:B]_W \ll 1, CF\}$ CF= $[A:B]_W \gg 15$ ($m=127$, $g=127$)			rw.rw	C
SHLC [m:B] _W	$[m:B]_W = \{[m:B]_W \ll 1, CF\}$ CF= $[m:B]_W \gg 15$ ($m \leq 127$, $128 \leq g \leq 255$)			rw.rw	C
SHR [m]	$[m] = \{0, [m] \gg 1\}$ CF= $[m] \& 1$ ($m \leq 125$, $g \leq 125$)	0	32	rw	C
SHR [X]	$[X] = \{0, [X] \gg 1\}$ CF= $[X] \& 1$ ($m=126$, $g=126$)			rw	C
SHR [A:B]	$[A:B] = \{0, [A:B] \gg 1\}$ CF= $[A:B] \& 1$ ($m=127$, $g=127$)			rw	C
SHR [m:B]	$[m:B] = \{0, [m:B] \gg 1\}$ CF= $[m:B] \& 1$ ($m \leq 127$, $128 \leq g \leq 255$)			rw	C

SHR [m] _W	[m] _W ={0,[m] _W >>1} CF=[m] _W &1 (m≦125、g≦125)	1		rw.rw	C
SHR [X] _W	[X] _W ={0,[X] _W >>1} CF=[X] _W &1 (m=126、g=126)			rw.rw	C
SHR [A:B] _W	[A:B] _W ={0,[A:B] _W >>1} CF=[A:B] _W &1 (m=127、g=127)			rw.rw	C
SHR [m:B] _W	[m:B] _W ={0,[m:B] _W >>1} CF=[m:B] _W &1 (m≦127、128≦g≦255)			rw.rw	C
SHRC [m]	[m]={CF,[m]>>1} CF=[m]&1 (m≦125、g≦125)	0	33	rw	C
SHRC [X]	[X]={CF,[X]>>1} CF=[X]&1 (m=126、g=126)			rw	C
SHRC [A:B]	[A:B]={CF,[A:B]>>1} CF=[A:B]&1 (m=127、(g=127))			rw	C
SHRC [m:B]	[m:B]={CF,[m:B]>>1} CF=[m:B]&1 (m≦127、128≦g≦255)			rw	C
SHRC [m] _W	[m] _W ={CF,[m] _W >>1} CF=[m] _W &1 (m≦125、g≦125)	1		rw.rw	C
SHRC [X] _W	[X] _W ={CF,[X] _W >>1} CF=[X] _W &1 (m=126、g=126)			rw.rw	C
SHRC [A:B] _W	[A:B] _W ={CF,[A:B] _W >>1} CF=[A:B] _W &1 (m=127、g=127)			rw.rw	C
SHRC [m:B] _W	[m:B] _W ={CF,[m:B] _W >>1}CF=[m:B] _W &1(m≦127、128≦g≦255)			rw.rw	C
MOV [m]	[X] = [m] (m≦125、g≦125)	0	34	rw	
MOV [A:B]	[X]=[A:B] (g=127)			rw	
MOV [m:B]	[X] = [m:B] (m≦127、128≦g≦255)			rw	
MOV.W [m]	[X] _W = [m] _W (m≦124、g≦124) 偶数アドレス	1		rw.rw	
MOV.W [A:B]	[X] _W =[A:B] _W , (g=127) 偶数アドレス			rw.rw	
MOV.W [m:B]	[X] _W = [m:B] _W , (m≦127、128≦g≦255)			rw.rw	
AND [m],A	[m]=[m]&A (m≦125、g≦125)	0	35	rw	Z
AND [X],A	[X]=[X]&A (x=126)			rw	Z
AND [A:B],C	[A:B]=[A:B]&C (g=127)			rw	Z
AND [m:B],A	[m:B]=[m:B]&A (m≦127、128≦g≦255)			rw	Z
AND.W [m],A	[m] _W =[m] _W &A (m≦125、g≦125)	1		rw.rw	Z
AND.W [X],A	[X] _W =[X] _W &A (x=126)			rw.rw	Z
AND.W [A:B],C	[A:B] _W =[A:B] _W &C (g=127)			rw.rw	Z
AND.W [m:B],A	[m:B] _W =[m:B] _W &A (m≦127、128≦g≦255)			rw.rw	Z
XOR [m],A	[m]=[m]^A (m≦125、g≦125)	0	36	rw	Z
XOR [X],A	[X]=[X]^A (g=126)			rw	Z
XOR [A:B],C	[A:B]=[A:B]^C (g=127)			rw	Z
XOR [m:B],A	[m:B]=[m:B]^A (m≦127、128≦g≦255)			rw	Z
XOR.W [m],A	[m] _W =[m] _W ^A (m≦125、g≦125)	1		rw.rw	Z
XOR.W [X],A	[X] _W =[X] _W ^A (g=126)			rw.rw	Z
XOR.W [A:B],C	[A:B] _W =[A:B] _W ^C (g=127)			rw.rw	Z
XOR.W [m:B],A	[m:B] _W =[m:B] _W ^A (m≦127、128≦g≦255)			rw.rw	Z
OR [m],A	[m]=[m] A (m≦126、g≦126)	0	37	rw	Z
OR [X],A	[X]=[X] A (g=126)			rw	Z
OR [A:B],C	[A:B]=[A:B] C (g=127)			rw	Z
OR [m:B],A	[m:B]=[m:B] A (m≦127、128≦g≦255)			rw	Z
OR.W [m],A	[m] _W =[m] _W A (m≦126、g≦126)	1		rw.rw	Z

OR.W [X],A	$[X]_W=[X]_W \mid A$ (g=126)			rw.rw	Z
OR.W [A:B],C	$[A:B]_W=[A:B]_W \mid C$ (g=127)			rw.rw	Z
OR.W [m:B],A	$[m:B]_W=[m:B]_W \mid A$ ($m \leq 127$ 、 $128 \leq g \leq 255$)			rw.rw	Z
INC [m]	$[m]=[m]+1$ ($m \leq 125$ 、 $g \leq 125$)	0	38	rw	C Z
INC [X]	$[X]=[X]+1$ (g=126)			rw	C Z
INC [A:B]	$[A:B]=[A:B]+1$ (g=127)			rw	C Z
INC [m:B]	$[m:B]=[m:B]+1$ ($m \leq 127$ 、 $128 \leq g \leq 255$)			rw	C Z
INC.W [m]	$[m]_W=[m]_W+1$ ($m \leq 125$ 、 $g \leq 125$)	1		rw.rw	C Z
INC.W [X]	$[X]_W=[X]_W+1$ (g=126)			rw.rw	C Z
INC.W [A:B]	$[A:B]_W=[A:B]_W+1$ (g=127)			rw.rw	C Z
INC.W [m:B]	$[m:B]_W=[m:B]_W+1$ ($m \leq 127$ 、 $128 \leq g \leq 255$)			rw.rw	C Z
INCC [m]	$[m]=[m]+CF$ ($m \leq 125$ 、 $g \leq 125$)	0	39	rw	C Z
INCC [X]	$[X]=[X]+CF$ (g=126)			rw	C Z
INCC [A:B]	$[A:B]=[A:B]+CF$ (g=127)			rw	C Z
INCC [m:B]	$[m:B]=[m:B]+CF$ ($m \leq 127$ 、 $128 \leq g \leq 255$)			rw	C Z
INCC.W [m]	$[m]_W=[m]_W+CF$ ($m \leq 125$ 、 $g \leq 125$)	1		rw.rw	C Z
INCC.W [X]	$[X]_W=[X]_W+CF$ (g=126)			rw.rw	C Z
INCC.W [A:B]	$[A:B]_W=[A:B]_W+CF$ (g=127)			rw.rw	C Z
INCC.W [m:B]	$[m:B]_W=[m:B]_W+CF$ ($m \leq 127$ 、 $128 \leq g \leq 255$)			rw.rw	C Z
ADD [m],A	$[m]=[m]+A$ ($m \leq 125$ 、 $g \leq 125$)	0	3A	rw	C Z
ADD [X],A	$[X]=[X]+A$ (g=126)			rw	C Z
ADD [A:B],C	$[A:B]=[A:B]+C$ (g=127)			rw	C Z
ADD [m:B],A	$[m:B]=[m:B]+A$ ($m \leq 127$ 、 $128 \leq g \leq 255$)			rw	C Z
ADD.W [m],A	$[m]_W=[m]_W+A$ ($m \leq 125$ 、 $g \leq 125$)	1		rw.rw	C Z
ADD.W [X],A	$[X]_W=[X]_W+A$ (g=126)			rw.rw	C Z
ADD.W [A:B],C	$[A:B]_W=[A:B]_W+C$ (g=127)			rw.rw	C Z
ADD.W [m:B],A	$[m:B]_W=[m:B]_W+A$ ($m \leq 127$ 、 $128 \leq g \leq 255$)			rw.rw	C Z
ADDC [m],A	$[m]=[m]+A+CF$ ($m \leq 125$ 、 $g \leq 125$)	0	3B	rw	C Z
ADDC [X],A	$[X]=[X]+C+CF$ (g=126)			rw	C Z
ADDC [A:B],C	$[A:B]=[A:B]+C+CF$ (g=127)			rw	C Z
ADDC [m:B],A	$[m:B]=[m:B]+A+CF$ ($m \leq 127$ 、 $128 \leq g \leq 255$)			rw	C Z
ADDC.W [m],A	$[m]=[m]+A+CF$ ($m \leq 125$ 、 $g \leq 125$)	1		rw.rw	C Z
ADDC.W [X],A	$[X]=[X]+C+CF$ (g=126)			rw.rw	C Z
ADDC.W [A:B],C	$[A:B]=[A:B]+C+CF$ (g=127)			rw.rw	C Z
ADDC.W [m:B],A	$[m:B]=[m:B]+A+CF$ ($m \leq 127$ 、 $128 \leq g \leq 255$)			rw.rw	C Z
DEC [m]	$[m]=[m]-1$ ($0 \leq m \leq 123$ 、 $0 \leq g \leq 123$)	0	3C	rw	C Z
DEC [m]	$[m]=[m]-1$ ($124 \leq m \leq 125$、$124 \leq g \leq 125$)CF 変化なし			rw	Z
DEC [X]	$[X]=[X]-1$ (g=126)			rw	C Z
DEC [A:B]	$[A:B]=[A:B]-1$ (g=127)			rw	C Z

DEC [m:B]	$[m:B]=[m:B]-1$ ($m \leq 127, 128 \leq g \leq 255$)			rw	C Z
DEC.W [m]	$[m]_W=[m]_W-1$ ($0 \leq m \leq 123, 0 \leq g \leq 123$)	1		rw.rw	C Z
DEC.W [m]	$[m]_W=[m]_W-1$ ($m=124, g=124$)CF 変化なし			rw.rw	Z
DEC.W [X]	$[X]_W=[X]_W-1$ ($g=126$)			rw.rw	C Z
DEC.W [A:B]	$[A:B]_W=[A:B]_W-1$ ($g=127$)			rw.rw	C Z
DEC.W [m:B]	$[m:B]_W=[m:B]_W-1$ ($m \leq 127, 128 \leq g \leq 255$)			rw.rw	C Z
DECC [m]	$[m]=[m]-CF$ ($m \leq 125, g \leq 125$)	0	3D	rw	C Z
DECC [X]	$[X]=[X]-1$ ($g=126$)			rw	C Z
DECC [A:B]	$[A:B]=[A:B]-CF$ ($g=127$)			rw	C Z
DECC [m:B]	$[m:B]=[m:B]-CF$ ($m \leq 127, 128 \leq g \leq 255$)			rw	C Z
DECC.W [m]	$[m]_W=[m]_W-CF$ ($m \leq 125, g \leq 125$)			rw.rw	C Z
DECC.W [X]	$[X]_W=[X]_W-1$ ($g=126$)			rw.rw	C Z
DECC.W [A:B]	$[A:B]_W=[A:B]_W-CF$ ($g=127$)			rw.rw	C Z
DECC.W [m:B]	$[m:B]_W=[m:B]_W-CF$ ($m \leq 127, 128 \leq g \leq 255$)			rw.rw	C Z
SUB [m],A	$[m]=[m]-A$ ($m \leq 125, g \leq 125$)	0	3E	rw	C Z
SUB [X],A	$[X]=[X]-A$ ($g=126$)			rw	C Z
SUB [A:B],C	$[A:B]=[A:B]-C$ ($g=127$)			rw	C Z
SUB [m:B],A	$[m:B]=[m:B]-A$ ($m \leq 127, 128 \leq g \leq 255$)			rw	C Z
SUB.W [m],A	$[m]_W=[m]_W-A$ ($m \leq 125, g \leq 125$)	1		rw.rw	C Z
SUB.W [X],A	$[X]_W=[X]_W-A$ ($g=126$)			rw.rw	C Z
SUB.W [A:B],C	$[A:B]_W=[A:B]_W-C$ ($g=127$)			rw.rw	C Z
SUB.W [m:B],A	$[m:B]_W=[m:B]_W-A$ ($m \leq 127, 128 \leq g \leq 255$)			rw.rw	C Z
SUBC [m],A	$[m]=[m]-A-CF$ ($m \leq 125, g \leq 125$)	0	3F	rw	C Z
SUBC [X],A	$[X]=[X]-A-CF$ ($g=126$)			rw	C Z
SUBC [A:B],C	$[A:B]=[A:B]-C-CF$ ($g=127$)			rw	C Z
SUBC [m:B],A	$[m:B]=[m:B]-A-CF$ ($m \leq 127, 128 \leq g \leq 255$)			rw	C Z
SUBC.W [m],A	$[m]_W=[m]_W-A-CF$ ($m \leq 125, g \leq 125$)	1		rw.rw	C Z
SUBC.W [X],A	$[X]_W=[X]_W-A-CF$ ($g=126$)			rw.rw	C Z
SUBC.W [A:B],C	$[A:B]_W=[A:B]_W-C-CF$ ($g=127$)			rw.rw	C Z
SUBC.W [m:B],A	$[m:B]_W=[m:B]_W-A-CF$ ($m \leq 127, 128 \leq g \leq 255$)			rw.rw	C Z

「割込不可命令」は割込可能状態でも一時的に、その命令の実行中だけ割込みが遅延される

6 PMEMACC 命令(オプション)

次の1命令だけメモリモデル TINY と同等のアクセスになる。メモリモデルを HALF などにしてプログラムとデータに分けた場合、この命令を使うとプログラムメモリにアクセスできる。ユーザーモードではメモリへの書き込みは抑止される。割込み禁止状態で実行されなかった場合、最悪、プログラムメモリは破壊される。この命令は宇宙線などのソフトウェアになったメモリを修復するために使われます。

割込状態が不明の場合、次のようなコードが参考になります

```
GETSTAT
AND  A,0x80
DISABLE
PMEMACC
LD  A,[n]
JRZ1 1
ENABLE
```

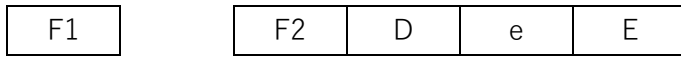
7 割込

外部割込は INT0、INT1 の2つ。INT0 優先でプログラムの 32 番地に分岐する。INT1 は 62 番地に分岐。INT 命令によってプログラムが割込みを起動できる。通常の割込みよりも優先順位が上で DISABLE の状態でも割込を起動できる。INT n の場合、プログラムの $n \times 2 + 32$ 番地に分岐する。n=0 は INT0 と同じアドレス。n=15 は INT1 と同じ。割込みによって ENABLE、DISABLE の状態は変化しません。割込み実行中、割込み信号は受け付けません。割込み中、INT 命令やハードマクロ命令は使えません。

8 パイプライン

SDog ではオペランドを先に転送する逆順で 6 ステージ 4 サイクル。

6 ステージ 4 サイクル



分岐命令は e ステージで分岐先が確定しているなので即座に次の命令の F1 をキャンセルできる。
つまりパイプライン処理というより逐次処理になるので少ないトランジスタ数で実装ができる。

参考までに正順の転送の 7 ステージ 3 サイクルとしてみた場合。

第 1 命令



第 2 命令



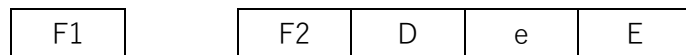
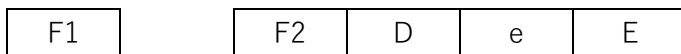
第 3 命令



第 1 命令の E と第 3 命令の F1 がコンフリクトするためノイマン型アーキテクチャでは 3 サイクルピッチの実行は不可能。パイプラインをストールさせて 3-5 サイクルとすることも考えられるが PWM 制御用では使いにくくなる。

9 相対ジャンプのアドレス計算

6 ステージ 4 サイクル



通常ケース アドレス

PC PC+1 PC+2

相対分岐ケース アドレス

PC PC+1 PC+2+N

N は $g \times 2$ 。最上位ビットは符号。符号拡張すること。

1 0 ハードマクロ命令

ハードマクロ命令は macro bit(bit14)が1である命令。複数の命令列にハード的に展開して処理をする命令です。命令列にはマイクロコードのような命令ではなく通常の命令コードを使います。命令列の中にハードマクロ命令が使えないこと以外は通常の命令コードと同じです。これを IBM はミリコードと呼んでいるようです。ハードマクロ命令のオペランドはメモリアドレス 0(オフセット付き)に書き込まれます。

またオペランドの値は C レジスタに書き込まれます。

ミリコードの命令列はプログラム領域の低位のアドレスに配置する。macro bitが1の命令は OP コード×16+512 番地(実装に依存)のアドレスに分岐します。再び macro bit が 1 の命令のを実行してハードマクロ命令を終了して、ハードマクロ命令の次の命令の実行を再開します。ハードマクロ命令の実装は通常に分岐と同じ e ステージで分岐処理をします。このとき MF を 1 にしてミリコード実行中、ずっと 1 を保持し続けます。ミリコードの終了命令では e ステージで MC から PC への切り替えをして MF を 0 にします。

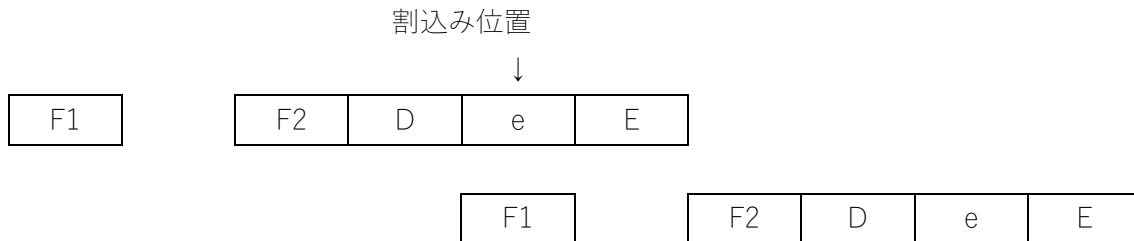
1 1 割込み実装

1 1-1 割込みプログラム

割込みプログラム中にハードマクロ命令は使用できません。

1 1-2 実装

一般命令の分岐のように処理する。



●割込み処理に分岐

IF を 1 にセット。カウンタを IC に変更。割込みルーチンの先頭でフラグの状態を退避。

●割込からの復帰

割込み先頭で保存していた A、B、C、X レジスタやフラグを復元して RETI 命令を実行。